

1553B 总线与 RS485 总线通信转接系统的设计

周 莉^{1,2}, 安军社¹

(1 中国科学院 空间科学与应用研究中心, 北京 100190; 2 中国科学院 研究生院, 北京 100049)

摘 要: 提出一种 1553B 总线与 RS485 总线通信转接系统的设计, 用于实现传统 1553B 总线和 RS485 总线之间的通信. 详细介绍了通信转接系统的硬件电路设计、FPGA 的逻辑设计和可靠性设计. 实验验证了 1553B-to-ZigBee 网关的可行性和有效性, 设计具有实时性好、易于实现、资源占用少的特点, 适用于航空航天中具有 1553B 通讯的地检设备.

关键词: 网关; 桥接器; 1553B 总线; RS485 总线; FPGA

中图分类号: TN915.11; TP302.1

文献标识码: A

文章编号: 1000-7180(2014)03-0001-04

Design of a Bus Bridge for 1553B and RS485 Bus

ZHOU Li^{1,2}, AN Jun-she¹

(1 Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: System design of a bus bridge for 1553B and RS485 bus is proposed here to realize the communication between 1553B bus and RS485 bus. Hardware design of the bus bridge is introduced. The regular time characteristic of 1553B protocol is used in the logic design in FPGA. The high reliability methods adopted in the bridge system are described also. DDC's 1553B test card and a board with 1553B protocol over RS485 transceivers are used to test the bus bridge design, and the bit error rate is less than 10^{-8} . The experimental results prove the validity and reliability of the bridge design. Design of the bus bridge is real-time and easy to implement over FPGA, and take up little hardware resources.

Key words: gateway; bus bridge; 1553B bus; RS485 bus; FPGA

1 引言

航空航天综合电子通常采用 1553B 总线作为系统中各个子系统的数据交换通道, 该总线将系统中各个子系统连接在一起^[1]. 在现有的卫星地检系统中, 通常采用成熟的 1553B 板卡对各个子系统的进行测试. 而在现有技术中还没有对基于 RS485 总线收发器的 1553B 总线系统进行测试的板卡. 为了利用现有的地检设备实现对新形式的 1553B 总线——基于 RS485 总线收发器的 1553B 总线^[2]的测试, 本文提出并实现了一种 1553B 总线与 RS485 总线通信转接系统.

2 系统结构

1553B 总线与 RS485 总线通信转接系统(下简称桥接器)如图 1 所示, 包括: 1553B 变压器、1553B 收发器、FPGA 控制单元、RS485 收发器. 桥接器通过 1553B 变压器以变压器耦合的方式连接到 1553B 总线, 通过终端匹配的方式连接到 RS485 总线; 1553B 收发器用于接收 1553B 总线上的信息并向 1553B 总线转发 RS485 总线上的信息; RS485 收发器用于接收 RS485 总线上的信息并向 RS485 总线转发 1553B 总线上的信息; FPGA 控制单元, 作为通信转接板的控制单元, 实现 1553B 总线与 RS485

收稿日期: 2013-04-20; **修回日期:** 2013-06-17

基金项目: 国家重大科技专项(TY3-201106); 中国科学院空间科学战略性先导科技专项(XDA04070000)

总线上的信息交换和通信控制的逻辑. 系统还包括其他外围电路, 没有在图 1 中体现, 如电源模块、复位电路、晶振、信号电源匹配电路、JTAG 下载电路等.

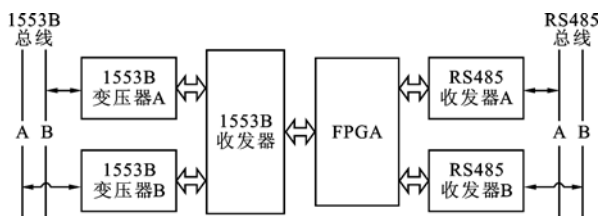


图 1 1553B 总线与 RS485 总线通信转接系统结构

3 桥接器硬件设计

3.1 网关硬件总体框图

1553B 总线与 RS485 总线通信转接系统的一种硬件实现如图 2 所示, 1553B 总线耦合器采用的是 BETA 公司的 B3226, 1553B 总线收发器采用的是 HOLT 公司的 HI1568^[3], FPGA 采用的是 AC-TEL 公司的 flash 类型的 A3P060 (省去配置 PROM, 上电配置快), RS485 收发器采用的是 TI 公司的 55LBC176^[4], 信号电源匹配芯片采用的是 TI 的 74ALVC16225. 本设计中采用的芯片均有与之对应的高等级芯片, 可以直接在空间环境和型号任务中应用.

3.2 总线接口电路设计

目前, RS-485 接口电路的设计主要有非隔离式和隔离式. 考虑到航空航天元器件需求和空间应用场合的特殊性, 通常采用非隔离式的总线接口方式, 如图 3 所示. 为防止总线中出现差分总线短路的情况, 在 SN55176 的差分信号输出端串联了 2 个 $50\ \Omega$ 的限流保护电阻 R_{32} 、 R_{33} . 这样某一结点的硬件故障导致 A、B 短路, 不会使整个总线的通信受到影响^[5]. 芯片的数据使能管脚 (管脚 3DE) 下拉, 默认情况不向 RS485 总线发送数据, 只有在接收到 1553B 总线上的有效信号后再向 RS485 总线发送, 有效解决复位期间分机“咬”总线的问题. 电阻 R_{18} 是 RS485 总线的终端匹配电阻, 串联一个 $100\ \text{pF}$ 的小电容, 可以减少静态电流并保证在总线没有数据传输的情况下芯片数据输出管脚为高电平. 芯片的数据输出管脚 (管脚 1RO) 上拉保证芯片的默认输出电平为高电平.

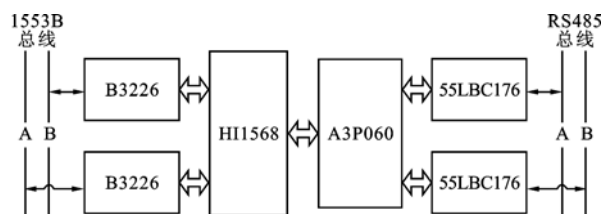


图 2 1553B 总线与 RS485 总线通信转接系统的硬件实现

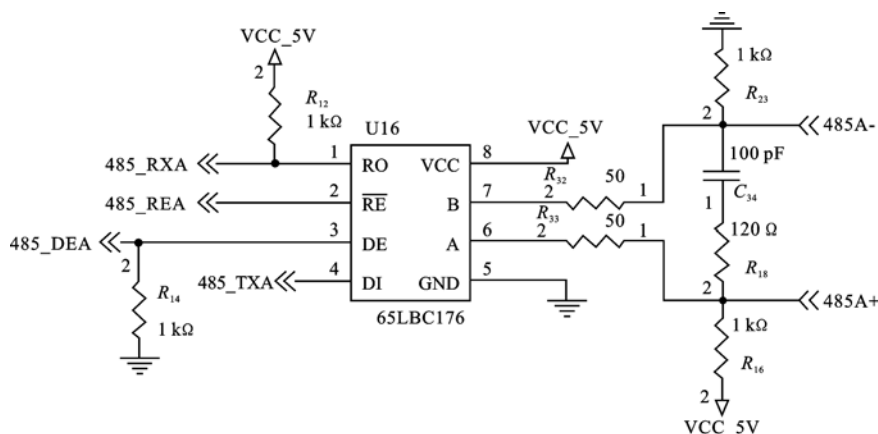


图 3 RS485 总线接口电路

图 4 所示的是 1553B 总线的变压器耦合方式接口电路, 将芯片的发送禁止管脚 13 和 18 管脚拉高, 保证芯片在默认情况下发送不使能, 只有在接收到 RS485 总线上的有效信号后再向 1553B 总线发送. 桥接器通过耦合器 B-3226 连接到 1553B 总线上, 具有良好的故障隔离特性. 在 HI1568 的实际使用中必须保证发送禁止管脚 (13 和 18 管脚) 不能长时间处于发送使能状态, 否则会出现 HI1568 发热

甚至烧毁的情况.

4 FPGA 逻辑设计

FPGA 作为通信转接系统的控制单元, 实现 1553B 总线与 RS485 总线上的信息交换和通信控制的逻辑, 是整个系统设计的关键. FPGA 逻辑设计, 包括对 1553B 总线上有效信息的检测逻辑、向 RS485 总线转发 1553B 总线上有效信息的控制逻

辑、对 RS485 总线上的有效信息的检测、向 1553B 总线转发 RS485 总线有效信息的控制逻辑和可

靠性设计. 以上功能通过两个状态机 (1553B-to-RS485 和 RS485-to-1553B) 实现.

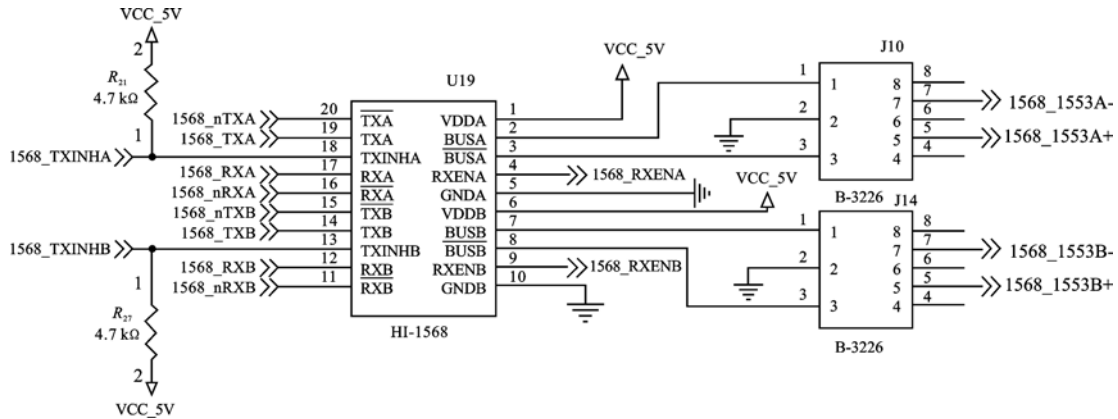


图4 1553B总线接口电路

FPGA 逻辑设计充分利用 1553B 协议的特点, 1553B 总线上信息传输的唯一控制权属于总线控制器 BC, 总线控制器启动所有的传输. 总线的信息共享与功能综合及系统管理是通过命令字、数据字和状态字组成的消息实现. 每个字由 20 位组成, 包括 3 位同步头、16 位数据和 1 位奇校验位, 命令字和状态字的同步头定义是先高后低, 数据字的同步头定义是先低后高. 总线上有效消息总是从命令字开始, RT 响应以状态字开始. 因而对总线上有效消息的识别通过命令字或者状态字的同步头实现. 由于 1553B 协议规定 RT 的响应时间必须在 $4\mu\text{s}$ 至 $12\mu\text{s}$ 之间, 所以要求通信转接系统要有很高的实时性.

1553B 协议规定的传输速率为 1 Mb/s 并采用曼彻斯特编码, 则 1 位数据为 $1\mu\text{s}$, 半位数据为 $0.5\mu\text{s}$. FPGA 的工作频率为 16 MHz , 对 1553B 信号进行采样, 一位数据的计数值为 16, 一个字的计数值为 320. FPGA 中两个状态机 (1553B-to-RS485 和 RS485-to-1553B) 的设计如图 6 所示, 充分利用 1553B 协议时间确定性的特点, 如图 5 所示. 两个状态机的设计思路类似, 下面以 1553B-to-RS485 状态机为例做具体说明.

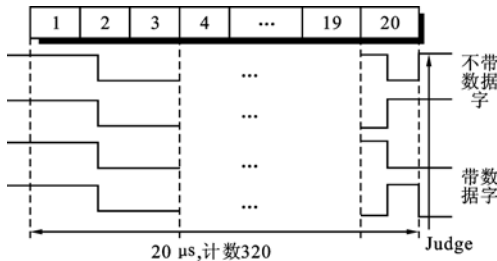


图5 1553B协议的时序分析图

FPGA 通过检测 1553B 收发器 HI1568 的接收

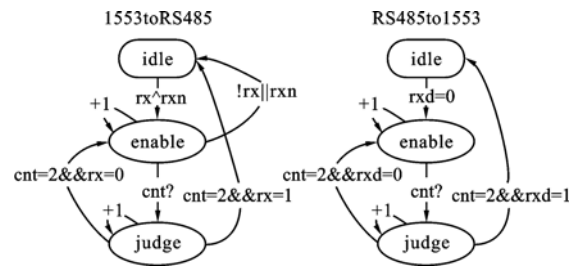


图6 状态机的状态转移图

输出管脚 (1568_RXA, 1568_nRXA) 的状态来检测 1553B 总线上有效信息. HI1568 从总线上接收到有效的 1553B 消息时在两个管脚输出逻辑相反的电平, 在无消息传输时这两个输出管脚输出电平逻辑相同 (同为高). 因而在 FPGA 内将 1568_RXA, 1568_nRXA 信号进行异或, 结果为 1 表明 1553B 总线上信息有效, 进入状态机的使能状态 (enable). 在使能状态, 状态机控制 RS485 收发器的 REN 和 DE 管脚, 向 RS485 总线转发 1553B 总线上的信号并计数器计数 320. 当一个字的结束时, 进入判断状态 (judge) 判断后面是否带有数据字. 数据字的同步头是先低后高, 而 HI1568 默认输出数据电平为高, 所以在 judge 状态判断 1568_RXA 信号, 若为高则不带数据字, 状态机进入 idle 状态; 若为低则进入 enable 状态继续转发. 为了保证 judge 状态判断的可靠性, 在 judge 状态延时两拍再进行判断. 由于 judge 状态的两拍延时, 应该对第一次进入 enable 状态和之后进入的计数值进行区分, 否则延时累积会导致后面的状态判断错误^[6].

RS485-to-1553B 状态机设计不同之处是进入状态机的判断条件, 因为 RS485 收发器只有一个接收数据输出管脚 RO. 在总线 idle 状态下 RS485 收发器默认输出为高, 所以进入状态机的判断条件

为 RO 低电平, 所以从 RS485 总线向 1553B 总线转发时会有 $1.5 \mu\text{s}$ 的时延, 在实践使用时设置 RT 响应时间应留有一定的裕度。

通信转接系统的可靠性直接关系到 1553B 总线和 RS485 总线系统的可靠性。FPGA 中采用的可靠性设计包括对半双工通信的控制、抗干扰能力设计等。其中, 半双工通信控制可以防止总线冲突, 提高系统可靠性, 实现方式是在 1553B-to-RS485 和 RS485-to-1553B 状态机前各加一个使能信号, 默认情况下这两个信号都有效, 保证两个状态机实时地侦听两个总线的状态, 若一个状态机侦听到总线上的有效信号进入使能状态时, 将另一个状态机的使能信号无效, 转发结束后在将其使能。抗干扰能力设计可以防止向总线上误发信息, 提高系统的可靠性, 实现方式包括对进入 FPGA 的信号进行同步、对总线的信号抖动产生的干扰信号进行滤波、对总线上不符合 1553B 消息字同步头定义的逻辑状态采取不转发的措施。

5 功能验证

5.1 实验设计

1553B 总线与 RS485 总线通信转接系统的功能验证, 采用插有 1553B 板卡的计算机来模拟 1553B 总线上的 BC、RT 和 MT, 通过 1553B 总线连接到通信转接系统的 1553B 接口。采用基于 RS485 收发器的 1553B 总线接口板作为 RT, 通过 RS485 总线连接到通信转接系统的 RS485 接口。1553B 测试仿真软件为 DDC 公司^[7]的 Test/Simulator Menu, 1553B 测试的数据和运行状态可以使用 Test/Simulator Menu 软件进行预设, 对总线通信的过程和结果进行实时的分析统计和存储显示, 并且可以存盘和打印。

实验首先对转接系统的误码率进行测试, 然后对 1553B 总线的消息类型进行覆盖测试。

5.2 实验结果

误码率测试过程中使用的消息数目超过 100 万条, 每次发送 32 个数据字, 不使能自动重试功能, 在测试过程没有发生无响应、响应超时、曼彻斯特错误、奇偶校验错误等错误, 误码率低于 10^{-8} 。

在对 1553B 总线的消息类型覆盖测试中, 转接

系统对 1553B 总线的消息类型不敏感, 仅完成对消息转发功能。

本通信转接系统中使用资源很小, 仅占 FPGA (A3P060) 的 28% 资源, 不占用 RAM 资源。

6 结束语

本文提出一种 1553B 总线与 RS485 总线通信转接系统的设计, 实现了 1553B 总线与 RS485 总线上的信息交换, 具有实时性好、运行可靠、使用方便、可靠性高、抗干扰能力强、资源占用少的特点, 适用于航空航天中具有 1553B 通讯的地检设备。

参考文献:

- [1] Texas Instruments Incorporated. RS-485 for E-meter applications[S]. Texas: Texas Instruments, 2001.
- [2] 解彦. 基于 FPGA 的 1553B 远置终端 IP 核的设计与实现[D]. 北京: 中国科学院研究生院, 空间科学与应用研究中心, 2011.
- [3] HOLT. HI-1567, HI-1568 MIL-STD-1553/1760 5V monolithic dual transceivers [S]. California: HOLT integrated circuits INC, 2001.
- [4] TI. Differential bus transceivers[S]. Texas: Texas Instruments, 1990.
- [5] 潘群, 向军, 王琳. RS_485 串行通信接口电路的设计与应用[J]. 常州工学院学报, 2009, 22(3): 37-42.
- [6] 杨卫军, 许化龙, 訾向勇. 基于 1553B 总线的嵌入式网络 BBC 设计与实现[J]. 微电子学与计算机, 2007, 24(1): 63-65.
- [7] DDC. ACE/Mini-ACE series BC/RT/MT advanced communication engine integrated 1553 terminal user's guide[S]. New York: Data Device Corp, 1999.

作者简介:



周莉女, (1986—), 博士研究生. 研究方向为空间飞行器综合电子系统、星载数据网络技术、星载无线数据网络等。

安军社男, (1969—), 博士生导师. 研究方向为空间飞行器综合电子系统、星载计算机平台、星载数据网络技术等。